

JP2002203318

Publication Title:

RECORDING WAVEFORM PRODUCING DEVICE AND DISK RECORDER

Abstract:

Abstract of JP2002203318

PROBLEM TO BE SOLVED: To accurately attain the production of a recording waveform signal in a disk device even when data are continuously recorded for a long time. **SOLUTION:** By a recording waveform producing circuit 18, a data signal DATA is worked by synchronizing them with a stipulated delay clock signal SCK2i selectively outputted from a selector 12, then the recording waveform signal SWF is produced. By a selection control part 20, the selecting operation of the selector 12 is controlled during the time the unrecorded state is shown by a signal SST, and further controlled when the data recorded state is shown by the signal SST and also the space period is detected by a mark space detecting circuit 17.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

This Patent PDF Generated by Patent Fetcher(TM), a service of Stroke of Color, Inc.

Patent provided by Sughrue Mion, PLLC - <http://www.sughrue.com>

(43)公開日 平成14年7月19日(2002.7.19)

(51)Int.Cl.	識別記号	F I	ページト* (参考)
G 1 1 B	7/0045	G 1 1 B	A 5 D 0 9 0
	7/125		C 5 D 1 1 9

審査請求 有 請求項の数8 OL (全 11 頁)

(21)出願番号 特願2001-328615(P2001-328615)

(22)出願日 平成13年10月26日(2001. 10. 26)

(31)優先權主張番号 特願2000-326588(P2000-326588)

(32)優先日 平成12年10月26日(2000. 10. 26)

(33)優先権主張国 日本(JP)

(71)出願人 . 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 飯島 行雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

Fターム(参考) 5D090 AA01 BB04 CC01 DD03 DD05

EE02 FF36 HH01 KK05

5D119 AA23 BA01 BB03 DA01 HA25

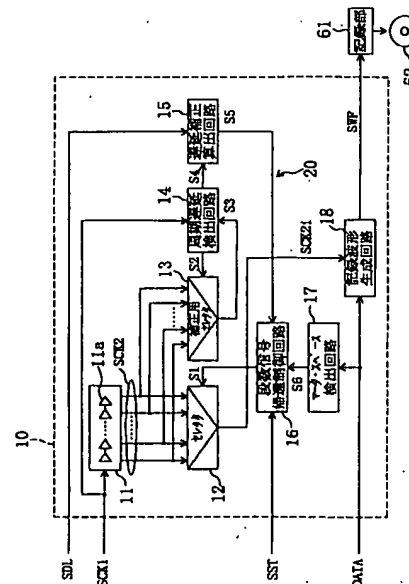
HA60

(54) 【発明の名称】 記録波形生成装置およびディスク記録装置

(57)【要約】

【課題】 ディスク装置において、データを連続して長時間記録する際にも、記録波形信号の生成を精度良く実行可能にする。

【解決課題】 記録波形生成回路 18 はデータ信号 DATA を、セクタ 12 から選択出力された規定遅延クロック信号 SCK2i に同期させて加工し、記録波形信号 SWF を生成する。選択制御部 20 はセクタ 12 の選択動作を、信号 SST が非記録状態を示している間に加えて、信号 SST がデータ記録状態を示し、かつ、マーク・スペース検出回路 17 によってスペース期間が検出されたときにも、制御する。



【特許請求の範囲】

【請求項1】 直列に接続された複数の遅延素子を有し、第1のクロック信号を入力して、前記各遅延素子の出力を遅延クロック信号群として出力する遅延ラインと、

前記遅延クロック信号群の中から、いずれか1つを規定遅延クロック信号として選択するセレクタと、

データ信号を入力し、このデータ信号を前記規定遅延クロック信号に同期させて加工し、記録波形信号を生成する記録波形生成回路と、

前記セレクタの選択動作を、与えられた遅延時間指示信号に従って、制御する選択制御部と、

前記データ信号を入力とし、このデータ信号におけるスペース期間を検出するマーク・スペース検出回路とを備え、

前記選択制御部は、

記録・非記録信号を受け、この記録・非記録信号がデータ非記録状態を示す場合は、前記セレクタの制御を行い、かつ、前記記録・非記録信号がデータ記録状態を示す場合は、前記マーク・スペース検出回路によってスペース期間が検出されたとき、前記セレクタの制御を行うものであることを特徴とする記録波形生成装置。

【請求項2】 請求項1記載の記録波形生成装置において、

前記選択制御部は、

前記遅延クロック信号群の中から、前記第1のクロック信号から所定時間遅延したクロック信号を検出し、この検出したクロック信号を出力する遅延素子の前記遅延ラインにおける段数と、前記所定時間とから、前記遅延ラインにおける遅延素子1個当たりの遅延時間を求める第1の手段と、

前記遅延時間指示信号によって指示された遅延時間と、前記第1の手段によって求められた遅延素子1個当たりの遅延時間とから、前記セレクタが選択すべき、前記遅延ラインにおける遅延素子の段数を、求める第2の手段とを備えたものであることを特徴とする記録波形生成装置。

【請求項3】 第1のクロック信号を入力し、遅延時間指示信号を受けて、前記第1のクロック信号の位相を、前記遅延時間指示信号が指示する遅延時間に応じて360/n度(nは2以上の整数)の分解能で調整し、第2のクロック信号として出力する位相調整部と、

直列に接続された複数の遅延素子を有し、前記第2のクロック信号を入力して、前記各遅延素子の出力を遅延クロック信号群として出力する遅延ラインと、

前記遅延クロック信号群の中から、いずれか1つを、規定遅延クロック信号として選択するセレクタと、

データ信号を入力し、このデータ信号を前記規定遅延クロック信号に同期させて加工し、記録波形信号を生成する記録波形生成回路と、

前記セレクタの選択動作を、前記遅延時間指示信号に従って、制御する選択制御部とを備えたことを特徴とする記録波形生成装置。

【請求項4】 請求項3記載の記録波形生成装置において、

前記データ信号を入力とし、このデータ信号におけるスペース期間を検出するマーク・スペース検出回路を備え、

前記選択制御部は、

記録・非記録信号を受け、この記録・非記録信号がデータ非記録状態を示す場合は、前記セレクタの制御を行い、かつ、前記記録・非記録信号がデータ記録状態を示す場合は、前記マーク・スペース検出回路によってスペース期間が検出されたとき、前記セレクタの制御を行うものであることを特徴とする記録波形生成装置。

【請求項5】 請求項3記載の記録波形生成装置において、

前記位相調整部は、

前記第1のクロック信号を逡倍し、周波数がn倍の逡倍クロック信号を出力する逡倍手段と、

前記第1のクロック信号の位相を前記逡倍クロック信号を用いてずらし、位相が360/n度ずつずれた複数のクロック信号を出力するシフト手段と、

前記遅延時間指示信号に応じて、前記シフト手段から出力された複数のクロック信号の中からいずれか1つを選択し、前記第2のクロック信号として出力するセレクタとを備えたものであることを特徴とする記録波形生成装置。

【請求項6】 請求項5記載の記録波形生成装置において、

前記選択制御部は、

前記遅延クロック信号群の中から、前記逡倍クロック信号から所定時間遅延したクロック信号を検出し、この検出したクロック信号を出力する遅延素子の前記遅延ラインにおける段数と、前記所定時間とから、前記遅延ラインにおける遅延素子1個当たりの遅延時間を求める第1の手段と、

前記遅延時間指示信号によって指示された遅延時間と、前記第1の手段によって求められた遅延素子1個当たりの遅延時間とから、前記セレクタが選択すべき、前記遅延ラインにおける遅延素子の段数を、求める第2の手段とを備えたものであることを特徴とする記録波形生成装置。

【請求項7】 請求項1記載の記録波形生成装置を備え、

前記記録波形生成装置から出力された記録波形信号を、ディスクに記録するディスク記録装置。

【請求項8】 請求項3記載の記録波形生成装置を備え、

前記記録波形生成装置から出力された記録波形信号を、

ディスクに記録するディスク記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディスク記録装置に関するものであり、特に、データを長時間連続して安定に記録可能にする技術に属する。

【0002】

【従来の技術】近年、電子機器の高性能化に伴い、画像表示などで用いるデータ量が増大し、これらデータを格納する記録メディアの記録容量向上が切望されている。記録メディアとして最近では、ランダムアクセスが可能であり、かつ、容量も大きい光ディスク装置が特に注目を集めている。

【0003】ここで、図4(a)に示すように、光ディスク装置においては、記録マーク形成期間中にレーザー光線を常時照射していると、レーザー光線の照射熱がディスク表面に溜まり、記録マークが次第に大きくなって涙状のマークが形成されてしまうという現象がおこる。そして、そのままデータを記録し続けると、再生時にデータを正常に再生できないという問題が生じる。このため、実際の光ディスク装置では、データ記録時に記録波形信号を補正することによって、このような物理現象の発生を防止している。例えば図4(b)に示すように、光ディスクに記録するレーザー光線をこまめにON/OFFすることが行われている。このような動作のことを、記録補償動作という。なお、ディスクの材料に応じてその特性が異なるので、例えばDVD-RとDVR-RAMとは記録パルスが異なっている。

【0004】図5は従来の光ディスク装置、特に記録波形信号を生成する回路部のブロック図である。記録波形生成部50は、上述した記録補償動作を実現するために、クロック信号SCK1を遅延させてその位相を最適化し、データ信号DATAを、位相が最適化されたクロック信号SCK2iに同期させて加工し、記録波形信号SWFを生成するものである。SDLはクロック信号SCK1を遅延させる遅延時間を指示する信号であり、SSTはデータ信号DATAを光ディスクに記録するか否かを示す信号である。

【0005】図8を用いて、図5に示す従来の光ディスク装置の動作について説明する。

【0006】時刻T0は初期状態である。このとき、データ信号DATAとしては、記録すべきデータが入力されておらず、記録・非記録信号SSTは非記録状態を示す“H”レベルになっている。そして、遅延補正算出回路55から出力された段数信号S5の値は「30」となっており、この段数信号S5は段数信号帰還制御回路56によって段数制御信号S1としてセレクト52に帰還される。セレクト52は、段数制御信号S1に応じて、遅延ライン51から出力された遅延クロック信号群SCK2の中からいずれか1つを、規定遅延クロック信号S

CK2iとして選択出力する。

【0007】時刻T1～T2の期間は、データ信号として第1のデータDATA1が入力される。このとき、記録波形生成回路58は、規定遅延クロック信号SCK2iを基にして第1のデータDATA1を加工し、記録波形信号SWFを生成する。生成された記録波形信号SWFは図示しない光ディスクに記録される。この間、段数信号帰還制御回路56はセレクト52の選択動作を制御しない。というのは、データを記録している間に、セレクト52の選択段数が変化すると、記録波形信号SWFに乱れが生じるからである。すなわち、たとえ段数信号S5の値が変化しても、その変化後の値は段数制御信号S1としてセレクト52に帰還されることはない。

【0008】時刻T2～T4の期間は、データ信号DATAとしては、記録すべきデータが入力されない。この間は、段数信号帰還制御回路56はセレクト52の選択動作を制御する。すなわち、温度変化などに起因して遅延ライン51を構成する遅延素子の遅延時間が変化し、段数信号S5の値が変化したとしても、変化後の値はリアルタイムに段数制御信号S1としてセレクト52に供給され、このため、常に正しい規定遅延クロック信号SCK2iを得ることができる。図6では、時刻T3において、段数信号S5の変化に対応して段数制御信号S1の値が「30」から「31」に増加している。

【0009】時刻T4～T5の期間は、データ信号DATAとして第2のデータDATA2が入力される。このとき、記録波形生成回路58は、規定遅延クロック信号SCK2iを基にして第2のデータDATA2を加工し、記録波形信号SWFを生成する。またこの間は、時刻T1～T2の期間と同様に、段数信号帰還制御回路56はセレクト52の選択動作を制御しない。

【0010】時刻T5以降の期間は、データ信号DATAとしては、記録すべきデータが入力されない。従って、段数信号S5の値が段数制御信号S1としてセレクト52に供給される。図6では、時刻T4～T5の間に段数信号S5の値が「31」から「28」にすでに変化しているものとしている。すなわち、時刻T5において、「28」が段数制御信号S1としてセレクト52に帰還される。

【0011】

【発明が解決しようとする課題】しかしながら、従来の構成では、次のような問題がある。

【0012】すなわち、図5に示すような従来の構成では、データを記録している間は、記録波形信号SWFに乱れが生じないように、セレクト52の選択動作の制御を行わないようにしている。したがって、データを記録している間は、規定遅延クロック信号SCK2iの位相が必ずしも最適化されているとはいえない。たとえデータ記録の開始前に規定遅延クロック信号SCK2iの位相を最適に設定したとしても、データが連続して長時

間記録され続けている間に、光ディスク装置の温度上昇などに起因して遅延ライン51における各遅延素子の遅延時間が変化した場合、規定遅延クロック信号SCK2iの位相が最適値からずれてくる可能性がある。このため、記録波形信号の生成タイミングにずれが生じてしまい、ひいては、記録波形信号の精度が低下することになる。

【0013】前記の問題に鑑み、本発明は、ディスク記録装置において、データを連続して長時間記録する際にも、記録波形信号を精度良く安定して生成可能にすることとを課題とする。

【0014】

【課題を解決するための手段】前記の課題を解決するために、請求項1の発明が講じた解決手段は、記録波形生成装置として、直列に接続された複数の遅延素子を有し、第1のクロック信号を入力して前記各遅延素子の出力を遅延クロック信号群として出力する遅延ラインと、前記遅延クロック信号群の中からいずれか1つを規定遅延クロック信号として選択するセレクタと、データ信号を入力し、このデータ信号を前記規定遅延クロック信号に同期させて加工し、記録波形信号を生成する記録波形生成回路と、前記セレクタの選択動作を、与えられた遅延時間指示信号に従って制御する選択制御部と、前記データ信号を入力し、このデータ信号におけるスペース期間を検出するマーク・スペース検出回路とを備え、前記選択制御部は、記録・非記録信号を受け、この記録・非記録信号がデータ非記録状態を示す場合は、前記セレクタの制御を行い、かつ、前記記録・非記録信号がデータ記録状態を示す場合は、前記マーク・スペース検出回路によってスペース期間が検出されたとき、前記セレクタの制御を行うものである。

【0015】請求項1の発明によると、規定遅延クロック信号の選択を行うセレクタの選択動作は、選択制御部によって、記録・非記録信号がデータ非記録状態を示す場合に加えて、記録・非記録信号がデータ記録状態を示す場合で、マーク・スペース検出回路によってスペース期間が検出されたとき、制御される。すなわち、データ記録時でもスペース期間中は、記録波形信号の生成の基になる規定遅延クロック信号の位相を最適化できる。これにより、データを連続して長時間にわたり記録する際でも、記録波形信号を精度良く生成することができる。

【0016】そして、請求項2の発明では、前記請求項1の記録波形生成装置における選択制御部は、前記遅延クロック信号群の中から前記第1のクロック信号から所定時間遅延したクロック信号を検出し、この検出したクロック信号を出力する遅延素子の前記遅延ラインにおける段数と前記所定時間とから、前記遅延ラインにおける遅延素子1個当たりの遅延時間を求める第1の手段と、前記遅延時間指示信号によって指示された遅延時間と前記第1の手段によって求められた遅延素子1個当たりの

遅延時間とから、前記セレクタが選択すべき前記遅延ラインにおける遅延素子の段数を求める第2の手段とを備えたものとする。

【0017】また、請求項3の発明が講じた解決手段は、記録波形生成装置として、第1のクロック信号を入力し、与えられた遅延時間指示信号を受けて、前記第1のクロック信号の位相を前記遅延時間指示信号が指示する遅延時間に応じて360/n度(nは2以上の整数)の分解能で調整し、第2のクロック信号として出力する位相調整部と、直列に接続された複数の遅延素子を有し、前記第2のクロック信号を入力して前記各遅延素子の出力を遅延クロック信号群として出力する遅延ラインと、前記遅延クロック信号群の中からいずれか1つを規定遅延クロック信号として選択するセレクタと、データ信号を入力し、このデータ信号を前記規定遅延クロック信号に同期させて加工し、記録波形信号を生成する記録波形生成回路と、前記セレクタの選択動作を前記遅延時間指示信号に従って制御する選択制御部とを備えたものである。

【0018】請求項3の発明によると、位相調整部において、遅延時間指示信号を受けて、第1のクロック信号の位相が360/n度の分解能で大まかに調整され、第2のクロック信号として出力される。そして、この第2のクロック信号が遅延ラインに入力されて、規定遅延クロック信号が選択される。このため、第2のクロック信号の位相は、所望の遅延時間に応じて大まかに調整されているので、遅延ラインにおける遅延時間は短くて済む。このため、遅延ラインを構成する遅延素子の個数を大幅に削減することができる。

【0019】そして、請求項4の発明では、前記請求項3の記録波形生成装置は、前記データ信号を入力し、このデータ信号におけるスペース期間を検出するマーク・スペース検出回路を備え、前記選択制御部は、記録・非記録信号を受け、この記録・非記録信号がデータ非記録状態を示す場合は、前記セレクタの制御を行い、かつ、前記記録・非記録信号がデータ記録状態を示す場合は、前記マーク・スペース検出回路によってスペース期間が検出されたとき、前記セレクタの制御を行うものとする。

【0020】また、請求項5の発明では、前記請求項3の記録波形生成装置における位相調整部は、前記第1のクロック信号を遅倍し、周波数がn倍の遅倍クロック信号を出力する遅倍手段と、前記第1のクロック信号の位相を前記遅倍クロック信号を用いてずらし、位相が360/n度ずつずれた複数のクロック信号を出力するシフト手段と、前記遅延時間指示信号に応じて、前記シフト手段から出力された複数のクロック信号の中からいずれか1つを選択し、前記第2のクロック信号として出力するセレクタとを備えたものとする。

【0021】そして、請求項6の発明では、前記請求項

5の記録波形成装置における選択制御部は、前記遅延クロック信号群の中から、前記遅延クロック信号から所定時間遅延したクロック信号を検出し、この検出したクロック信号を出力する遅延素子の前記遅延ラインにおける段数と前記所定時間とから、前記遅延ラインにおける遅延素子1個当たりの遅延時間を求める第1の手段と、前記遅延時間指示信号によって指示された遅延時間と前記第1の手段によって求められた遅延素子1個当たりの遅延時間とから、前記セクタが選択すべき前記遅延ラインにおける遅延素子の段数を求める第2の手段とを備えたものとする。

【0022】また、請求項7の発明は、前記請求項1の記録波形成装置を備え、前記記録波形成装置から出力された記録波形信号をディスクに記録するディスク記録装置である。

【0023】また、請求項8の発明は、前記請求項3の記録波形成装置を備え、前記記録波形成装置から出力された記録波形信号をディスクに記録するディスク記録装置である。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0025】(第1の実施形態)図1は本発明の第1の実施形態に係る記録波形成装置の構成を示すブロック図である。図1の記録波形成装置10は、データ信号DATAを入力とし、このデータ信号DATAを規定遅延クロック信号SCK2iに同期させて、記録波形信号SWFを生成する。この記録波形成装置10を備えたディスク記録装置では、記録波形成装置10から出力された記録波形信号SWFが、記録部61によって、例えば光ディスク62などの記録媒体に記録される。これにより、例えば上述したような記録補償動作が実現される。

【0026】記録波形成装置10は、データ信号DATAの他に、データ信号DATAを光ディスク62に記録するときの基準クロックとなる第1のクロック信号SCK1と、第1のクロック信号SCK1を遅延させる遅延時間を指示する遅延時間指示信号SDLと、データ信号DATAを記録するか否か、すなわちデータ記録状態かデータ非記録状態を示す記録・非記録信号SSTとを入力とする。

【0027】図1において、11は直列に接続された複数の遅延素子11aを有する遅延ラインである。各遅延素子11aは入力信号を所定の時間遅延させて出力する。遅延ライン11は第1のクロック信号SCK1を入力して、各遅延素子11aの出力を遅延クロック信号群SCK2として出力する。すなわち、遅延クロック信号群SCK2は、第1のクロック信号SCK1を基準として、それぞれ異なる位相差を有する信号の集まりである。

【0028】12は遅延ライン11から出力された遅延クロック信号群SCK2の中から、いずれか1つを、規定遅延クロック信号SCK2iとして選択するセクタである。セクタ12の選択動作は、後述する選択制御部20から、段数制御信号S1によって制御される。

【0029】選択制御部20は、セクタ12の選択動作を、与えられた遅延時間指示信号SDLに従って制御するものであり、補正用セクタ13、周期遅延検出回路14、遅延補正算出回路15および段数信号帰還制御回路16を備えている。

【0030】補正用セクタ13は周期遅延検出回路14の出力信号S2に応じて、遅延クロック信号群SCK2の中からいずれか1つを選択し、信号S3として出力する。周期遅延検出回路14は補正用セクタ13の出力信号S3と第1のクロック信号SCK1との位相比較を行い、信号S3と信号SCK1との時間差が信号SCK1の1周期に相当するように、信号S2によって帰還をかける。これにより、最終的には信号S3は、第1のクロック信号SCK1から所定時間としてその1周期に相当する時間だけ遅延したクロック信号になる。

【0031】周期遅延検出回路14は、上述した位相調整に加えて、遅延ライン11における遅延素子11a1個当たりの遅延時間を求め、信号S4として出力する。この遅延時間は、例えば信号S3が第n段の遅延素子11aの出力であるとき、言い換えると、遅延素子n個によって第1のクロック信号SCK1の1周期に相当する遅延が生じているとき、1周期に相当する時間をnで除することによって、求められる。遅延素子11a1個当たりの遅延時間は温度変化によって変動するが、遅延時間が変動したとしても、周期遅延検出回路14によって、遅延ライン11における遅延素子11a1個当たりの遅延時間を常に正確に検出することができる。補正用セクタ13および周期遅延検出回路14によって、第1の手段が構成されている。

【0032】遅延補正算出回路15は、遅延時間指示信号SDLと周期遅延検出回路14の出力信号S4とを入力し、セクタ12が選択すべき、遅延ライン11における遅延素子11aの段数を求め、段数信号S5として出力する。すなわち、信号S4が示す遅延素子11a1個当たりの遅延時間を基にして、遅延ライン11において何段目の遅延素子11aの出力を選択すれば、遅延時間指示信号SDLが示す遅延時間を得ることができるかを算出する。この遅延補正算出回路15によって、第2の手段が構成されている。

【0033】段数信号帰還制御回路16は、遅延補正算出回路15から出力された段数信号S5と、記録・非記録信号SSTと、後述するマーク・スペース検出回路17から出力されたマーク・スペース信号S6とを入力し、段数制御信号S1によってセクタ12の選択動作を制御する。セクタ12の制御を行うときは、段数信

号S5を段数制御信号S1として出力する一方、そうでないときは、段数信号S5の値を保持する。

【0034】マーク・スペース検出回路17は、データ信号DATAを入力とし、このデータ信号DATAにおけるスペース期間を検出する。ここで、「スペース期間」とは、データ信号DATAを記録する際に、マークを記録しない期間、言い換えると、記録波形を生成しなくてよい期間のことをいう。具体的には、多くの光ディスク装置の場合、データとして“0”を記録する期間がスペース期間となる。もちろん、デジタル値とマークとの関係によっては、“1”を記録する期間がスペース期間となる場合もあり得る。そして、マーク・スペース検出回路17は、スペース期間を検出したとき有効（“H”）になるマーク・スペース信号S6を出力する。

【0035】18は記録波形生成回路であり、入力されたデータ信号DATAを、セクタ12から供給された規定遅延クロック信号SCK2iに同期させて加工し、記録波形信号SWFを生成する。

【0036】ここで、段数信号帰還制御回路16は、記録・非記録信号SSTがデータ非記録状態を示す場合は、セクタ12の選択動作の制御を行う。さらに、記録・非記録信号SSTがデータ記録状態を示す場合は、マーク・スペース信号S6が有効になっているとき、すなわち、マーク・スペース検出回路17によってスペース期間が検出されたとき、セクタ12の選択動作の制御を行う。これにより、データ信号DATAが記録中であっても、スペース期間において、規定遅延クロック信号SCK2iの位相を最適化することができる。したがって、データを長期にわたって連続してディスク52に記録する場合であっても、データ記録を従来よりも安定して行うことができる。

【0037】図2を用いて、図1の記録波形生成装置10の動作について説明する。図2では、外部から入力されるデータ信号DATAおよび記録・非記録信号SST、並びにマーク・スペース検出回路17から出力されたマーク・スペース信号S6、および段数信号帰還制御回路16から出力された段数制御信号S1の時間変化を示している。なお、段数制御信号S1は実際にはセクタ12が選択すべき遅延素子11aの段数を指定するものであるが、図2では簡単のために、セクタ12の選択動作の制御を行う期間を「ON」と表記している。この信号は、段数信号帰還制御回路16内部の制御信号に相当するものであり、記録・非記録信号SSTとマーク・スペース信号S6との論理和をとることによって得られる。

【0038】図2に示すように、時刻T0～T1の期間において、データ信号DATAとして、記録すべきデータが入力されていない。このとき、記録・非記録信号SSTは非記録状態を示す“H”レベルになっており、段

数制御信号S1も有効になり、セクタ12の選択動作の制御が行われる。またマーク・スペース信号S6は有効でなく、“L”レベルになっている。

【0039】次に時刻T1～T2の期間において、データ信号DATAとして第1のデータDATA1が入力され、記録・非記録信号SSTは記録状態を示す“L”レベルになる。このとき、マーク・スペース信号S6は図示するタイミングで有効になる。したがって、段数制御信号S1も図示するタイミングで有効となり、データ記録中であっても、スペース期間が検出されたとき（図では「SP」と表記）は、セクタ12の選択動作の制御が行われる。すなわち、スペース期間中に段数信号S5が変更になった場合には、変更後の値がセクタ12に段数制御信号S1としてリアルタイムに供給され、セクタ12から出力される規定遅延クロック信号SCK2iの位相も最適となり、最適な記録波形信号SWFが出力される。

【0040】次に時刻T2～T3の期間において、データ信号DATAとして、記録すべきデータが入力されていない。このとき、記録・非記録信号SSTは非記録状態を示す“H”レベルになっており、段数制御信号S1も有効になり、セクタ12の選択動作の制御が行われる。またマーク・スペース信号S6は有効でなく、“L”レベルになっている。

【0041】次に時刻T3～T4の期間において、データ信号DATAとして第2のDATA2が入力され、記録・非記録信号SSTは記録状態を示す“L”レベルになる。このとき、マーク・スペース信号S6は図示するタイミングで有効になる。したがって、段数制御信号S1も図示するタイミングで有効となり、この間、段数信号S5が変更になった場合には、変更後の値がセクタ12に段数制御信号S1としてリアルタイムに供給され、セクタ12から出力される規定遅延クロック信号SCK2iの位相も最適となり、最適な記録波形信号SWFが出力される。

【0042】なお、時刻T3～T4の期間は時刻T1～T2の期間よりもかなり長い。スペース期間においてもセクタ12の選択動作を制御することによって、最適な記録波形を得ることができる。

【0043】以上のように本実施形態によると、データをディスクに記録していない間に加えて、データを記録している場合であっても、スペース期間、例えば記録するデータが“0”のときに、データ記録の基準となるクロック信号の位相を最適化することができる。したがって、データを長時間にわたり連続して記録する場合であっても、記録波形信号を安定して生成することができる。

【0044】（第2の実施形態）図3は本発明の第2の実施形態に係る記録波形生成装置の構成を示すブロック図である。図3において、図1と共通の構成要素には、

図1と同一の符号を付している。

【0045】図3に示す記録波形生成装置30は、入出力に関しては、図1の第1の実施形態に係る記録波形生成装置10と同一である。図1と異なるのは、入力された第1のクロック信号SCK1の位相を位相調整部40において大まかに調整し、この結果得られた第2のクロック信号SCKAを基にして、規定遅延クロック信号SCKBiを生成する点である。

【0046】位相調整部40は、PLL回路41、シフトレジスタ42およびセレクタ43を備えており、第1のクロック信号SCK1の位相を遅延時間指示信号SDLに依りて $360/n$ 度(n は2以上の整数)の分解能で調整し、第2のクロック信号SCKAとして出力する。遅延手段としてのPLL回路41は、第1のクロック信号SCK1を n 倍し、周波数が n 倍の遅延クロック信号SCKFを出力する。シフト手段としてのシフトレジスタ42は、第1のクロック信号SCK1の位相を、遅延クロック信号SCKFを用いてずらし、位相が $360/n$ 度ずつずれた複数のクロック信号SCKZを出力する。

【0047】セレクタ43は、複数のクロック信号SCKZの中から、遅延時間指示信号SDLに依りていずれか1つを選択し、第2のクロック信号SCKAを出力する。ここで、セレクタ43が選択するクロック信号とは、そのクロック信号に遅延ライン11における遅延時間を与えると、第1のクロック信号SCK1に対して遅延時間指示信号SDLが指示する遅延時間差が生じ得るクロック信号である。ちなみに、図1の構成では、第1のクロック信号SCK1と遅延クロック信号群SCK2との時間差は、遅延ライン11における遅延時間のみに依りて得られたものである。

【0048】そして、遅延ライン11、セレクタ12および選択制御部20によって、位相調整部40から出力された第2のクロック信号SCKAの位相を、遅延ライン11を構成する遅延素子11a1段当たりの遅延時間に相当する分解能によって、細かに調整する。

【0049】遅延ライン11は第2のクロック信号SCKAを入力として、各遅延素子11aの出力を遅延クロック信号群SCKBとして出力する。すなわち、遅延クロック信号群SCKBは、第2のクロック信号SCKAを基準として、それぞれ異なる位相差を有する信号の集まりである。

【0050】ここで、第2のクロック信号SCKAは位相調整部40によってすでに $360/n$ 度の分解能で位相調整されているので、遅延ライン11によって生成すべき遅延時間は、第1の実施形態の $1/n$ で済む。このため、遅延ライン11を構成する遅延素子11aの個数は、図1の構成の $1/n$ になっている。

【0051】セレクタ12は遅延ライン11から出力された遅延クロック信号群SCKBの中から、いずれか1

つを、規定遅延クロック信号SCKBiとして選択する。セレクタ12の選択動作は、選択制御部20から、段数制御信号S1によって制御される。

【0052】選択制御部20において、補正用セレクタ13は周期遅延検出回路14の出力信号S2に依りて、遅延クロック信号群SCKBの中からいずれか1つを選択し、信号S3として出力する。周期遅延検出回路14は補正用セレクタ13の出力信号S3と位相調整部40から出力された遅延クロック信号SCKFとの位相比較を行い、信号S3と信号SCKFとの時間差が信号SCKFの1周期に相当するように、信号S2によって帰還をかける。これにより、最終的には信号S3は、遅延クロック信号SCKFから所定時間としてその1周期に相当する時間だけ遅延したクロック信号になる。

【0053】周期遅延検出回路14は、上述した位相調整に加えて、遅延ライン11における遅延素子11a1個当たりの遅延時間を求め、信号S4として出力する。この遅延時間は、例えば信号S3が第 m 段の遅延素子11aの出力であるとき、言い換えると、遅延素子 m 段によって遅延クロック信号SCKFの1周期に相当する遅延が生じているとき、この1周期に相当する時間(第1のクロック信号SCK1の周期の $1/n$)を m で除することによって、求められる。

【0054】遅延補正算出回路15は、遅延時間指示信号SDLと周期遅延検出回路14の出力信号S4とを入力し、セレクタ12が選択すべき、遅延ライン11における遅延素子11aの段数を求め、段数信号S5として出力する。

【0055】段数信号帰還制御回路16、マーク・スペース検出回路17および記録波形生成回路18の動作は、第1の実施形態と同様である。

【0056】図3の記録波形生成装置の動作について説明する。

【0057】第1のクロック信号SCK1が入力されると、位相調整部40において、PLL回路41により、周波数が信号SCK1の n 倍の遅延クロック信号SCKFが生成される。生成された遅延クロック信号SCKFはシフトレジスタ42に供給される。そして、シフトレジスタ42によって、第1のクロック信号SCK1の位相が、遅延クロック信号SCKFを用いてずらされて、位相が $360/n$ 度ずつずれた複数のクロック信号SCKZが生成される。

【0058】さらにセレクタ43によって、シフトレジスタ42から出力された複数のクロック信号SCKZの中から、遅延時間指示信号SDLに依りて、いずれか1つが第2のクロック信号SCKAとして出力される。この第2のクロック信号SCKAは、遅延ライン11における遅延時間を与えると、第1のクロック信号SCK1に対して遅延時間指示信号SDLが指示する遅延時間差が生じ得るクロック信号である。

【0059】位相調整部40から出力された第2のクロック信号SCKAは、遅延ライン11に入力される。以降の動作は、第1の実施形態と同様である。

【0060】すなわち、本実施形態によると、位相調整部40において、第1のクロック信号SCK1が360/n度の分解能で大まかに位相調整され、第2のクロック信号SCKAとして出力されるので、遅延ライン11における遅延時間は、第1のクロック信号SCK1の360/n度の位相分に相当する時間だけで十分である。このため、第1の実施形態と比べて、遅延ライン11を構成する遅延素子11aの個数を1/nに抑えることができるので、回路規模を大幅に縮小することができる。

【0061】また、第1の実施形態と同様の効果も得ることができる。すなわち、データをディスクに記録していない間に加えて、データを記録している場合であっても、スペース期間、例えば記録するデータが“0”のときに、データ記録の基準となるクロック信号の位相を最適化することができる。したがって、データを長時間にわたり連続して記録する場合であっても、記録波形信号を安定して生成することができる。

【0062】もちろん、本実施形態において、マーク・スペース検出回路17を設けなくても、先の効果を得ることができる。

【0063】なお、上述の各実施形態では、生成された記録波形信号SWFを、光ディスク62に記録するものとしたが、これ以外の記録媒体に記録する場合であっても本発明は適用可能である。例えば、ハードディスクに記録する場合でも、光ディスクに関する記録補償動作と同様の制御が必要になるので、本発明は有効である。

【0064】

【発明の効果】以上のように本発明によると、データ記録時であっても、スペース期間中は、データ記録の基準となる規定遅延クロック信号の位相が最適化される。これにより、データを連続して長時間にわたり記録する際でも、記録波形信号を精度良く安定して生成可能になる。また、遅延ラインを構成する遅延素子の個数を大幅に削減することができ、回路規模を格段に小さくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る記録波形生成装

置の構成を示すブロック図である。

【図2】図1の記録波形生成装置の動作を説明するためのタイミングチャートである。

【図3】本発明の第2の実施形態に係る記録波形生成装置の構成を示すブロック図である。

【図4】記録補償動作を説明するための図である。

【図5】従来の記録波形生成装置の構成を示すブロック図である。

【図6】図5の記録波形生成装置の動作を説明するためのタイミングチャートである。

【符号の説明】

SCK1 第1のクロック信号

SCK2 遅延クロック信号群

SCK2i 規定遅延クロック信号

DATA データ信号

SWF 記録波形信号

SDL 遅延時間指示信号

SST 記録・非記録信号

SCKA 第2のクロック信号

20 SCKB 遅延クロック信号群

SCKBi 規定遅延クロック信号

10 記録波形生成装置

11 遅延ライン

11a 遅延素子

12 セレクタ

13 補正用セレクタ

14 1周期遅延検出回路

15 遅延補正算出回路

16 段数帰還制御回路

30 17 マーク・スペース検出回路

18 記録波形生成回路

20 選択制御部

30 記録波形生成装置

40 位相調整部

41 PLL回路（通倍手段）

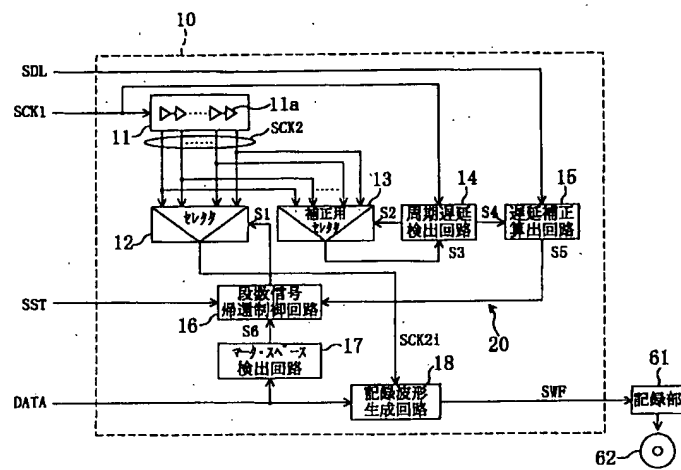
42 シフトレジスタ（シフト手段）

43 セレクタ

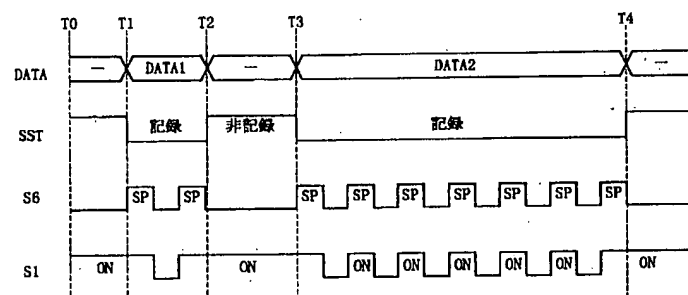
61 記録部

62 光ディスク（ディスク）

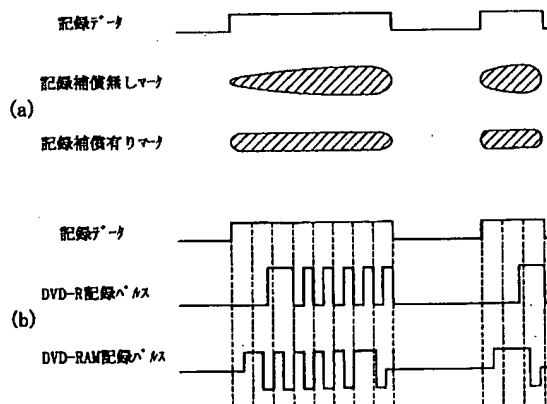
【圖 1】



【圖 2】



【圖 4】



The diagram illustrates a data recording system (50) with the following components and signal flow:

- Inputs:** SDL, SCK1, SST, and DATA.
- Processing Blocks:**
 - 51:** Delay circuit (遅延7イン) receiving SCK1.
 - 52:** First selector (セレクタ) receiving signals from 51 and SCK2.
 - 53:** Second selector (セレクタ) receiving signals from 51 and SCK2.
 - 54:** Period delay detection circuit (周期遅延検出回路) receiving signals from 52 and 53.
 - 55:** Delay correction calculation circuit (遅延補正算出回路) receiving signals from 54 and SCK2.
 - 56:** Address signal address control circuit (取番信号繰返制御回路) receiving signals from 52 and 53.
 - 57:** Address signal (取番信号) output from 56.
 - 58:** Recording waveform generation circuit (記録波形生成回路) receiving signals from 57 and DATA.
- Outputs:** SCK2, S1, S2, S3, S4, S5, and SWF.

【図6】

